

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.

6/5/1 (Item 1 from file: 351)  
DIALOG(R) File 351:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.

007931756 \*\*Image available\*\*  
WPI Acc No: 1989-196868/198927

Packet switching system - has control circuit for sending packet data  
from memories to multiplex packet signal transmission circuit NoAbstract  
Dwg 1/2

Patent Assignee: NEC CORP (NIDE )  
Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1135154	A	19890526	JP 87291768	A	19871120	198927 B

Priority Applications (No Type Date): JP 87291768 A 19871120

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 1135154	A	5		

Title Terms: PACKET; SWITCH; SYSTEM; CONTROL; CIRCUIT; SEND; PACKET; DATA;  
MEMORY; MULTIPLEX; PACKET; SIGNAL; TRANSMISSION; CIRCUIT; NOABSTRACT

Derwent Class: W01

International Patent Class (Additional): H04L-011/20

File Segment: EPI

6/5/2 (Item 1 from file: 347)

DIALOG(R) File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.

02837554 \*\*Image available\*\*

PACKET SWITCHING DEVICE

PUB. NO.: 01-135154 JP 1135154 A]  
PUBLISHED: May 26, 1989 (19890526)  
INVENTOR(s): ISHIZUKA TOSHIO  
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 62-291768 [JP 87291768]  
FILED: November 20, 1987 (19871120)  
INTL CLASS: [4] H04L-011/20  
JAPIO CLASS: 44.3 (COMMUNICATION -- Telegraphy)  
JOURNAL: Section: E, Section No. 812, Vol. 13, No. 386, Pg. 88, August  
25, 1989 (19890825)

#### ABSTRACT

PURPOSE: To avoid a traffic of a packet switching network from being increased by applying abort processing to a packet data when the data reaches a larger delay time than a prescribed delay time before the data is given to a reception terminal equipment when the lots of data not necessarily to be transferred completely are processed at a high speed.

CONSTITUTION: With a packet data block stored once in a buffer memory RBFH 102, clock information in the data block is decremented periodically by a timer circuit TMR 105. The TMR 105 revises periodically the clock information of all data blocks stored in the RBFH 102. If the clock information after revision reaches '0', the data block is discriminated for the elapse of a resident time in an exchange and aborted from the RBFH 102. Simultaneously, the aborted event is informed to a reception packet data transfer control circuit RDTC 104 to revise cueing information relating to the RBFH. Thus, the packet data is processed before it is given to a reception terminal equipment thereby avoiding the increase in the traffic of a packet exchange network.

## ⑫ 公開特許公報 (A)

平1-135154

⑯ Int.Cl.<sup>4</sup>  
H 04 L 11/20識別記号  
102  
厅内整理番号  
A-7830-5K

⑬ 公開 平成1年(1989)5月26日

審査請求 未請求 発明の数 1 (全5頁)

⑭ 発明の名称 パケット交換装置

⑮ 特願 昭62-291768

⑯ 出願 昭62(1987)11月20日

⑰ 発明者 石塚 利夫 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代理人 弁理士 山内 梅雄

## 明細書

## 1. 発明の名称

パケット交換装置

## 2. 特許請求の範囲

複数個のパケット送受信回路と、これらを相互に接続するパケット・データ転送手段とを有するパケット交換装置において、

受信したパケット信号のヘッダ部を解釈し、実時間性の厳しい優先パケットとそれ以外の非優先パケットとに選別する解釈選別回路と、上記受信した優先パケットを格納する受信側優先パケットメモリと、上記受信した非優先パケットを格納する受信側非優先パケットメモリと、これら2種類のメモリに格納されているパケット・データをパケット・データ転送手段に送出するべく制御する受信パケット・データ転送制御回路と、を有するパケット受信部と、

上記パケット受信部からパケット・データ転送手段を介して送られてくる優先パケットを格納する送信側優先パケットメモリと、非優先パケット

を格納する送信側非優先パケットメモリと、これら2種類のメモリから取り出されたパケット・データを通信回線にパケット信号として多重化して送出するパケット信号多重送信回路と、パケット・データに付加された時間情報を定期的に更新し、その結果この時間情報が一定値に達したときに応するパケット・データを送信側優先パケットメモリから廃棄する時計回路と、上記2種類のメモリからパケット・データを取り出し上記パケット信号多重送信回路へ送り出すよう制御する送信パケット・データ転送制御回路と、を有するパケット送信部

とを具備し、特定の受信パケットが一定時間以上パケット交換機内に滞留すると廃棄することにより、遅延時間制御を行うようにしたことを特徴とするパケット交換装置。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明はパケット交換装置に関し、特に特定の種類のパケットに対する遅延時間の制御を行い、

交換網のトラヒックを増大させないようにしたパケット交換装置に関する。

[従来の技術]

よく知られているように、高速情報通信システムの一つに情報を送り先、発信者、優先順位などによって一つずつの通信データの小包（パケット）のようなものにして伝送するパケット交換システムがある。

このようなパケット交換システムにはパケット交換装置が用いられるが、従来、この種のパケット交換装置は、パケット・データの交換処理において、遅延時間によりパケット・データの廃棄を行わぬのが一般的であった。

[発明が解決しようとする問題点]

上述した従来のパケット交換装置は、遅延時間によるパケット・データの廃棄を行わぬため、例えば、音声パケットや画像パケットのように実時間性が厳しいが、必ずしも完全に転送される必要がないようなデータを大量にかつ高速に処理する場合において、トラヒックが増加すると全体的

に遅延時間が増大し、結果として受信端末においてこれらのパケット・データが廃棄され、交換網のトラヒックを単に増加させるという欠点があった。

本発明の目的は、必ずしも完全に転送される必要がないようなデータを大量にかつ高速に処理する場合において、これらのパケット・データを受信端末に渡る以前において処理し、パケット交換網のトラヒックを増大させないようにしたパケット交換装置を提供することにある。

[問題点を解決するための手段]

本発明では、

(i) 受信したパケット信号のヘッダ部を解釈し、実時間性の厳しい優先パケットとそれ以外の非優先パケットとに選別する解釈選別回路と、上記受信した優先パケットを格納する受信側優先パケットメモリと、上記受信した非優先パケットを格納する受信側非優先パケットメモリと、これら2種類のメモリに格納されているパケット・データをパケット・データ転送手段に送出するべく制

御する受信パケット・データ転送制御回路と、を有するパケット受信部と、

(ii) 上記パケット受信部からパケット・データ転送手段を介して送られてくる優先パケットを格納する送信側優先パケットメモリと、非優先パケットを格納する送信側非優先パケットメモリと、これら2種類のメモリから取り出されたパケット・データを通信回線にパケット信号として多重化して送出するパケット信号多重送信回路と、パケット・データに付加された時間情報を定期的に更新し、その結果この時間情報が一定値に達したときに応するパケット・データを送信側優先パケットメモリから廃棄する時計回路と、上記2種類のメモリからパケット・データを取り出し上記パケット信号多重送信回路へ送り出すよう制御する送信パケット・データ転送制御回路とを有するパケット送信部

とをパケット交換装置に具備させ、特定の受信パケットが一定時間以上パケット交換機内に滞留すると廃棄することにより、遅延時間制御を行う

ようにしたものである。

[実施例]

次に、本発明について図面を参考して説明する。第1図は、本発明の一実施例を示すブロック構成図であり、n個のパケット送受信回路が、パケット・データ転送手段である2種類のバスによって接続されている場合を示している。

図において、n個のパケット送受信回路（以下、DLCと記す）100～n00は、全て同一の構成であるのでDLCn00だけについて代表して説明し、その他のDLCについての説明を省略する。

通信回線n08から受信したパケット信号のヘッダ部を解釈し選別する回路（以下、LDIMXと記す）n01は、受信した実時間性の厳しい優先パケットを格納するバッファ・メモリ（以下、RBFHと記す）n02と、それ以外の受信した実時間性の厳しくない非優先パケットを格納するバッファ・メモリ（以下、RBFLと記す）n03に接続されている。

上記 RBFHn02 は、パケット・データ転送手段の一つであるデータ転送バス（以下、DBUS と記す）1 と、受信パケットデータ転送制御回路（以下、RDTC と記す）n04 に接続され、また上記 RBFLn03 は DBUS1 と RDTC n04 に接続され、この RDTC n04 は、もう一つのパケット・データ転送手段であるステータス転送バス（以下、SBUS と記す）2 に接続されている。

また、通信回線 n18 に対して送信すべき実時間性の厳しい優先パケットを格納するバッファ・メモリ（以下、TBFH と記す）n12 は、パケット信号多重送信回路（以下、MPX と記す）n11 と、パケット・データ転送制御回路（以下、TDTC と記す）n14 と、更に転送パケット・データ分離回路（以下、BDMX と記す）n15 を介して DBUS1 に接続されている。

通信回線 n18 に対して送信すべき実時間性の厳しくない非優先パケットを格納するバッファ・メモリ（以下、TBFL と記す）n13 は、上記

MPX n11 と、TDTC n14 とに接続され、更に BDMX n15 を介して DBUS1 に接続され、TDTC n14 は SBUS2 と BDMX n15 と TBFH n12 ならびに TBFL n13 に接続されている。

更に、第2図にバッファ・メモリ内の1個のデータブロックの例を示すが、ここに示すようなパケット・データに付随した時計情報を更新し、その結果、時計情報が一定値を超過した場合、このパケット・データをバッファ・メモリから廃棄する機能を有する時計回路（以下、TMR と記す）n05 は、RBFHn02 および TBFH n12 に接続されている。

次に、第1図を用いて、DLC100 に収容された通信回線 108 から受信されたパケット信号が、本パケット交換装置によって交換処理され、DLCn00 に収容された通信回線 n18 から送信される場合について説明する。

LDMX101 はパケットを受信すると、そのパケットヘッダを解釈した上で、実時間性の厳し

い優先パケットならばそのパケット・データを RBFH102 へ格納し、さもなければ RBFL103 へ格納する。その際 LDMX101 は、受信パケットのヘッダ変換を行い、送信側 DLCn00 から通信回線に送信されるべきパケット・データであるという情報と、予め交換機内滞留時間として定められている値を時間情報の初期値として設定する。

パケットデータブロックが、一度上記 RBFH 102 に格納されると、そのデータブロック内の時計情報が TMR105 によって定期的に減算される。TMR105 は、RBFH102 および TBFH112 内に格納されている全てのデータブロックの時計情報を定期的に更新する。ここで、もしも更新した後の時計情報が「0」になったならば、このデータブロックは、交換機内滞留時間超過と判断されて、RBFH102 から廃棄される。同時に、その廃棄されたイベントは RDTC 104 に通知され、RBFH に関するキューリング情報が更新される。

RDTC104 は、RBFH102 ないし RBFL103 にパケットが受信されると、RBFH 内に先に格納されたデータから優先的に送信側 DLCn00 にパケット・データの転送制御を行う。

先ず、SBUS2 を介して DLCn00 内の TDTCn14 に対し、優先パケット・データの転送要求と、このパケット・データが格納されている RBFH 内のバッファ・メモリ番号および転送データ量を通知する。

次に、DLCn00 内の TDTCn14 は、BDMX n15 を制御しながら DLC100 内の RBFH102 に格納されている DLCn00 向けのパケット・データを、DLCn00 内の TBFL n12 に転送する。パケット・データの転送が完了すると、TDTCn14 は SBUS2 を介して DLC100 内の RDTC104 に、パケット・データの転送完了の旨を通知する。そこで、RDTC104 は、DLCn00 内の TBFL n12 に対して転送完了したパケット・データが格納されていたデータブロック面を解放し、新たなバ

ケットの受信に備える。

TBFHn12に格納されたパケットデータブロックにおいて、RBFH内に滞留中の時計情報がそのまま引き継がれ、RBFH102の場合と同様にTMRn05によって定期的に清算される。ここでもしも更新した後の時計情報が「0」になったならば、このデータブロックは交換機内滞留時間超過と判断されて、TBFH102から廃棄される。同時に、その廃棄イベントはRDTCh104に通知され、TBFHに関するクーリング情報が更新される。

DLCn00において、MPXn11は、優先パケット・データを格納するTBFHn12から優先的に通信回線にパケット信号の送信を行う。パケット信号の転送が完了すると、MPXn11はRDTCh104にパケット信号送信完了の旨を通知する。そこで、RDTCh104は、通信回線に対して送信完了したパケット・データの格納されていたバッファ・メモリ面を解放し、他のDLCからの新たなパケット・データの受信に備える。

また、LDMX101でパケットヘッダを解釈した結果、実時間性の厳しくない非優先パケットのときは、そのパケット・データはRBLn103からRBLn13へ転送された後に、MPXn11を介して通信回線n18へ送信される。ただし、RBL103にパケット・データの受信された旨が DLCn00に通知される場合と、パケット・データがTBLn13へTBL113から転送される場合と、TBLn13から通信回線に送信される場合は、優先制御機能が働く。  
〔発明の効果〕

以上説明したように本発明によれば、必ずしも完全に転送される必要がないようなデータを大量にかつ高速に処理する場合において、これらのパケット・データを受信端末に渡る以前に所定の遷延時間より大になったなら廃棄処理してしまっているので、パケット交換網のトラヒックを増大させないようにすることができる。

#### 4. 図面の簡単な説明

第1図は本発明のパケット交換装置の一実施例

1 1

を示すブロック構成図、第2図は本発明のパケット交換装置に適用するパケット・データブロックを示す構成図である。

- 1 ……データ転送バス  
(DBUS、パケット・データ転送手段)、
- 2 ……ステータス転送バス  
(SBUS、パケット・データ転送手段)、
- 100～n00 ……パケット送受信回路  
(DLC)、
- 101～n01 ……解釈選別回路 (LDMX)、
- 102～n02 ……バッファ・メモリ  
(RB FH、受信側優先パケットメモリ)、
- 103～n03 ……バッファ・メモリ  
(RBL、受信側非優先パケットメモリ)、
- 104～n04 ……受信パケット・データ  
転送制御回路 (RDT C)、
- 105～n05 ……時計回路 (TMR)、
- 111～n11 ……パケット信号多重送信回路  
(MPX)、

1 2

- 112～n12 ……バッファ・メモリ  
(TBFH、送信側優先パケットメモリ)、
- 113～n13 ……バッファ・メモリ  
(TBL、送信側非優先パケットメモリ)、
- 114～n14 ……送信パケット・データ転送制御回路 (RDT C)、
- 115～n15 ……転送パケット・データ分離回路 (BDMX)、
- 108, n08, 118, n18 ……通信回線。

出願人

日本電気株式会社

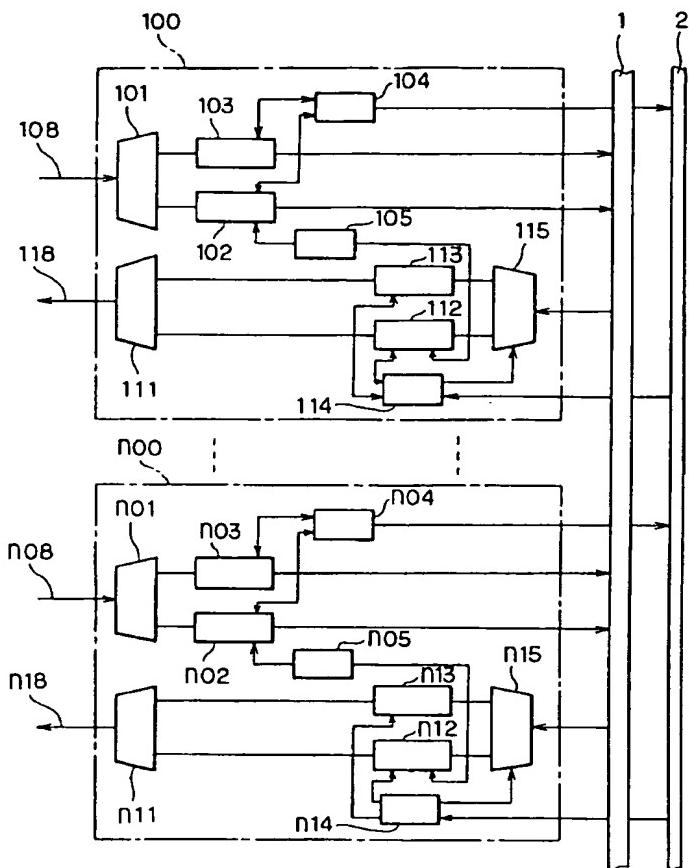
代理人

弁理士 山内 梅雄

1 3

1 4

第 1 図



第 2 図

